

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOGWEB

Guided Search

new search

results

settings

tools

logout

help

* Dynamic Search: Derwent World Patents Index

■ Records for: JP 8097279

Output ?

Format: Full Record

Output as: Browser

display/send

Modify ?

refine search

back to picklist

select
all none

Records 1 of 1 In full Format

✓ 1. 3/19/1

010747632 **Image available**

WPI Acc No: 1996-244587/199625

XRAM Acc No: C96-077709

XRPX Acc No: N96-205255

Semiconductor device mfg method - involves heating of
silicon substrate by which aluminium wiring film flows and embeds
connection holes

Patent Assignee: TOSHIBA KK (TOKE)

Inventor: SHIMA S; WADA J

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8097279	A	19960412	JP 94267428	A	19941031	199625 B
US 5723367	A	19980303	US 94341142	A	19941116	199816
			US 96603187	A	19960220	
KR 169270	B1	19990201	KR 9430063	A	19941116	200038

Priority Applications (No Type Date): JP 94174234 A 19940726; JP 93286987 A
19931116

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8097279	A	19		H01L-021/768	
US 5723367	A	24		H01L-021/324	Cont of application US 94341142
KR 169270	B1			H01L-021/768	

Abstract (Basic): JP 8097279 A

The method involves formation of an oxide film (12) on a silicon substrate (11). A set of connection holes (13) are formed on the oxide film. An aluminium wiring film (15) is formed on the entire surface using bias sputtering method.

The silicon substrate is heated and the aluminium wiring film flows and embeds the connection holes. The aluminium wiring is then processed.

ADVANTAGE - Forms wiring layer without void or stage breakdown.
Improves reliability of wiring.

Dwg.1/14

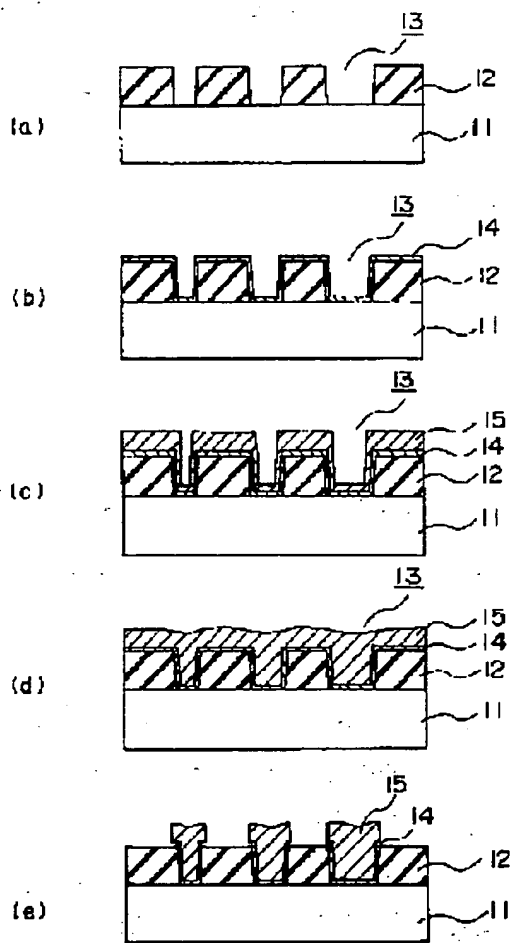
Abstract (Equivalent): US 5723367 A

The method involves formation of an oxide film (12) on a silicon substrate (11). A set of connection holes (13) are formed on the oxide film. An aluminium wiring film (15) is formed on the entire surface using bias sputtering method.

The silicon substrate is heated and the aluminium wiring film flows and embeds the connection holes. The aluminium wiring is then processed.

ADVANTAGE - Forms wiring layer without void or stage breakdown.
Improves reliability of wiring.

Dwg.1c/14



Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; METHOD; HEAT; SILICON;
 SUBSTRATE; ALUMINIUM; WIRE; FILM; FLOW; EMBED; CONNECT; HOLE
 Derwent Class: L03; P42; U11
 International Patent Class (Main): H01L-021/324; H01L-021/768
 International Patent Class (Additional): B05D-005/12; C23C-014/34
 File Segment: CPI; EPI; EngPI
 Manual Codes (CPI/A-N): L04-C10C; L04-C13B
 Manual Codes (EPI/S-X): U11-C05C2; U11-C05D3

Derwent WPI (Dialog® File 351): (c) 2001 Derwent Info Ltd. All rights reserved.

©1997-2001 The Dialog Corporation -

特開平8-97279

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/768

H 0 1 L 21/ 90

C

審査請求 未請求 請求項の数12 O L (全 19 頁)

(21) 出願番号 特願平6-267428

(22) 出願日 平成6年(1994)10月31日

(31) 優先権主張番号 特願平5-286987

(32) 優先日 平5(1993)11月16日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-174234

(32) 優先日 平6(1994)7月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 和田 純一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 嶋 昇平

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

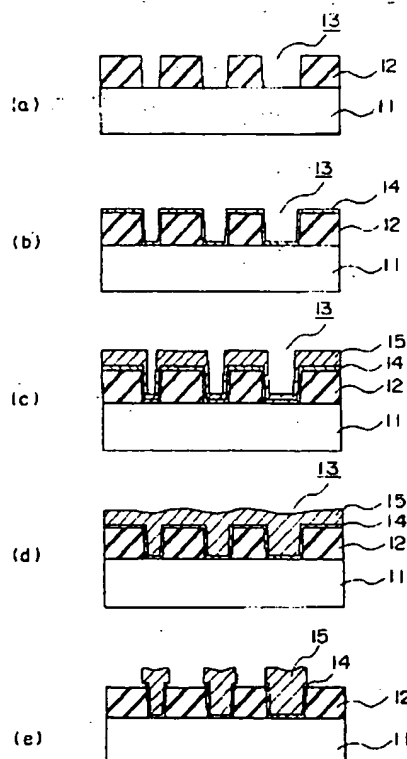
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 接続孔のアスペクト比が1を越えても、段切れを招かない配線の形成方法を提供すること。

【構成】 シリコン基板11上に酸化膜12を形成する工程と、酸化膜12にアスペクト比が1を越える接続孔13を形成する工程と、バイアススパッタリング法によりA1配線膜15を全面に形成するとともに、シリコン基板11を加熱してA1配線導電膜15を接続孔13に流動せしめて埋め込む工程と、A1配線膜を加工してA1配線を形成する工程とを備えている。



【特許請求の範囲】

【請求項1】基板上に絶縁膜を形成する工程と、

この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、

バイアススパッタリング法により導電膜を全面に形成するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、

前記導電膜を加工して配線を形成する工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項2】基板上に絶縁膜を形成する工程と、

この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、

バイアススパッタリング法によりスパッタリングガスが導入された導電膜を全面に形成するとともに、前記スパッタリングガスが前記導電膜から放出されない温度に前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、

前記導電膜を加工して配線を形成する工程と前記配線を形成する前または後に、前記スパッタリングガスが前記導電膜から放出される温度に前記基板を加熱して前記スパッタリングガスを前記導電膜から放出する工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項3】基板上に絶縁膜を形成する工程と、

この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、

スパッタリング法により導電膜を前記基板上に形成する工程と、

前記基板をプラズマに晒して前記導電膜の表面をスパッタエッチングすることにより、前記接続孔の内面全体を前記導電膜により被覆するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、

前記導電膜を加工して配線を形成する工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項4】基板上に絶縁膜を形成する工程と、

この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、

スパッタリング法により導電膜を前記基板上に形成する工程と、

第1のイオンエネルギーを有する荷電粒子を前記導電膜に照射して前記導電膜の表面をスパッタエッチングすることにより、前記基板を加熱せずに前記接続孔の内面全体を前記導電膜により被覆する工程と、

前記第1のイオンエネルギーよりも小さい第2のイオンエネルギーを有する荷電粒子を前記導電膜に照射するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、

前記導電膜を加工して配線を形成する工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項5】基板上に絶縁膜を形成する工程と、

この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、

前記接続孔の内面における最低膜厚が20nm以上となる導電膜を全面に形成するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、

前記導電膜を加工して配線を形成する工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項6】基板上に絶縁膜を形成する工程と、

10 この絶縁膜にアスペクト比が1を越え、開孔側に向かって広がったテーパ形状の接続孔を形成する工程と、

前記接続孔の内面における最低膜厚が20nm以上となる導電膜を異方性スパッタリング法により全面に形成するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、

前記導電膜を加工して配線を形成する工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項7】前記埋め込み工程における前記基板の加熱の際に、荷電粒子を前記導電膜に照射し、前記荷電粒子により、前記導電膜をスパッタエッチングせずに、前記導電膜の表面の原子の拡散を増速させることを特徴とする請求項1、請求項2、請求項3、請求項5、請求項6のいずれかに記載の半導体装置の製造方法。

【請求項8】基板上に絶縁膜を形成する工程と、

この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、

前記接続孔の内面を被覆する導電性被覆膜を形成する工程と、

30 少なくとも前記導電性被覆膜の表面に吸着しているガスを除去する工程と、

導電膜を全面に形成するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、

前記導電膜を加工して配線を形成する工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項9】前記ガスの除去は、基板加熱、荷電粒子照射または紫外線照射により行なうことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】前記ガスの除去後、前記導電膜の形成前に、前記基板を冷却することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項11】前記導電膜の形成前に、少なくとも前記接続孔の側部および底部に吸着しているガスを除去することを特徴とする請求項1～請求項7のいずれかに記載の半導体装置の製造方法。

【請求項12】前記導電膜は多結晶構造であり、前記基板の加熱は、全面に前記導電膜が形成された後、昇温工程と降温工程とからなる加熱工程を2回以上繰り返すものであることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項8のいずれ

かに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係り、特にアスペクト比が1を越える接続孔に配線を形成する工程を有する半導体装置の製造方法の改良に関する。

【0002】

【従来の技術】近年、コンピューターや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路が達成されるようにむすびつけ、1チップ上に集積化して形成した大規模集積回路(LSI)が多用されている。LSIは、その集積度を上げることでその素子機能を向上させてきた。そして、集積度が上がるにつれて配線は微細化されるとともに、多層化されることが必要となってきた。多層配線構造を実現するためには、下層配線層(あるいは素子活性層)と上層配線層とを層間絶縁膜に形成された接続孔を通じて電気的に接続することが必須である。

【0003】ところで、配線材料としては、従来よりアルミニウム(AI)が多用されている。これはAIが低抵抗材料であり、配線形状に加工することが容易なためである。AIの成膜方法としてはスパッタリング法が用いられている。これはAI-Si-Cuや、AI-Cu等のAI合金膜の成膜に際して組成の制御が容易で、しかも、大口径のシリコン基板に対しても膜厚および膜質を均一化でき、量産性の点でも優れているからである。また、近年の真空排気特性の向上により残留ガスによる膜質の低下を抑えることが可能となった。更に、カソード裏面に極性の異なる磁石を設けることによってプラズマ密度を集中させる方法(マグネトロンスパッタリング法)で膜の形成速度を高めることで膜質を向上させることも可能となった。なお、他のAIの成膜法として化学気相成長(CVD)法が研究されているが、膜質の制御性や量産性の問題から研究レベルを脱していないのが現状である。

【0004】しかしながら、従来のスパッタリング法によるAI配線やAI合金配線(以下単にAI配線という)の形成方法には以下のような問題があった。下層AI配線と上層AI配線とを結ぶ接続孔のアスペクト比(接続孔の深さ/接続孔の開孔径)は、素子の微細化や高密度化に伴って大きくなる。一般的に、スパッタリング法では、接続孔の段差被覆性は、アスペクト比が高くなると著しく低下する。これは段差の底部では配線金属粒子であるAIが入射する角度範囲(見込み角)が平坦部に比べ狭まるためである。アスペクト比が大きくなるほどこの見込み角は減少し、段差底部にはAIは入射し難くなり、被覆性が低下する。しかも、AIの堆積が進むに従って見込み角は狭まる傾向にある。

【0005】したがって、素子の微細化等が更に進み、

接続孔のアスペクト比が1より高くなると、従来のスパッタリング法では、接続孔の底部でAI配線の段切れが生じ易くなり、接続孔の内面全体(側面および底部)を完全に被覆するAI配線を形成することはできない。

【0006】また、段切れ防止のためにAI配線となるAI膜(以下、AI配線膜という)を厚くしても、膜厚の増加に従って見込み角が減少するため、接続孔の内面全体を完全に被覆するAI配線を形成することはできない。しかも、膜厚(配線高さ)を厚くすると、後工程で形成する層間絶縁膜の平坦化が困難になるなどの波及的な問題も生じる。

【0007】このような問題を解決する手段として、タングステン(W)プラグ技術が知られている。この技術は、接続孔にWを選択的に埋め込んだ後に、AI配線を形成するというものである。

【0008】このWの選択的埋め込み技術には、選択CVD法と全面CVD法との2種類がある。選択CVD法は、WF₆(六弗化タングステン)とSiH₄(シラン)との混合気体が、金属や半導体表面でのみ熱反応する性質を利用したもので、ある決まった熱反応条件で可能となる。

【0009】一方、全面CVD法では、選択CVD法とは異なる熱反応条件で行ない、W膜を基板全面に一樣な膜厚(コンフォーマル)に形成する。ただし、この場合、接続孔が形成された絶縁膜上にも不必要なW膜が形成されるので、これを後工程において除去する必要がある。現在では、不要なW膜を除去するために、基板全面を反応性イオンエッチング(RIE)法でエッチングする方法(エッチバック法)が用いられている。

【0010】しかしながら、Wプラグ技術には以下のようないくつかの問題がある。まず、1つはコンタクト抵抗の問題である。すなわち、WはAIに比べ抵抗が高いため配線の抵抗値が大きくなり素子機能が劣化する。

【0011】他には信頼性の問題がある。配線には電流が流れる訳だが、微細な配線ではその電流密度が極めて大きくなり、このような大きな電流密度が配線に印加され続けると、配線中の金属原子が大量の電子の衝突により陰極から陽極へ移動を始める。これはエレクトロマイグレーション(EM)と呼ばれる現象であるが、この金属原子の動き易さは金属の種類に依存し、WはAIに比べ動き難い。

【0012】このため、Wプラグのように、AI/W/AIといった異なる金属の直列接続によって配線が形成される場合には、金属原子の流れ方に不連続性が生じる。したがって、Wプラグの陰極側ではAI原子の蓄積が起こり、一方、陽極側ではAI原子の空乏が起こる。

【0013】このようなAI原子の蓄積や空乏は、配線の隆起(ヒロック)や欠乏(ボイド)の原因となり、配線間短絡や配線断線を招き、配線の信頼性が低下する。また、配線の信頼性を劣化させる他の要因としては、L

SIに用いられる他材料から配線に加えられる応力(ストレス)がある。応力の加わった配線は応力を緩和するように原子を移動させる。これはストレスマイグレーション(SM)と呼ばれる現象であるが、微細な配線ほどSM耐性に乏しく、将来の極微細な配線においては大きな問題となることが予想される。

【0014】Wプラグのように異種金属(W、Al)を組み合わせるによって配線を形成する場合には、WとAlとの熱膨脹率の違いにより残留応力が発生する。現在の研究では、Wプラグと配線間の応力によって配線が断線に至るという直接的な証明はなされていないが、将来の微細配線構造に問題を生じることが容易に推測される。

【0015】また、Wプラグを形成するCVD法にも多くの問題点が存在する。すなわち、選択CVD法の場合、ある特定の条件下にのみ起こる反応を利用しているため、製造工程(プロセス)における余裕(マージン)が少ないこと、膜質の制御性に乏しいこと、および反応が安定して起こるように事前の処理を必要とし工程数が増加するなどの問題がある。一方、全面CVD法の場合にも、後工程で不要なW膜を除去する必要がある、工程数の増加するという問題がある。

【0016】このようなWプラグの他に、バイアスパッタリング法を用いて接続孔の内壁をAlで直接埋め込む方法も検討報告されている。バイアスパッタリング法とは、基板に負の電圧を印加し、Al膜の形成中にアルゴン等のスパッタリングガスの正イオンを基板に衝突させ、Al膜を再スパッタリングすることで見込み角の減少を防ぐとともに、再スパッタリングされたAl原子を接続孔の内壁に付着させて段差被覆性を向上させるという成膜技術である。また、バイアスパッタリング法の場合、同時に基板加熱を行なうなどの付加的条件を組み合わせることが多く、平坦性よくAlを直接埋め込むことが可能である。

【0017】しかしながら、バイアスパッタリング法には以下のような問題がある。すなわち、Al膜の形成中にAr原子がAl膜中に多く取り込まれ、膜質の低下(大粒径化しにくい等)や信頼性の劣化が起こるという問題がある。また、接続孔を埋め込むにはAl配線膜を厚く形成しなければならず、厚いAl配線間を層間絶縁膜で均一に平坦性良く埋め込む方法が必要になるなどの波及的な問題点が生じる。

【0018】

【発明が解決しようとする課題】上述の如く、従来より各種のAl配線の形成方法が提案され、それなりの有効性が認められているが、その欠点も顕著になり、本命視されるものはまだ無い。すなわち、従来のスパッタリング法によるAl配線の形成方法にあつては、接続孔のアスペクト比が高くなると、接続孔の底部で段切れが生じ易くなり、配線の信頼性が低下するという問題があつ

た。

【0019】また、Wプラグ技術によるAl配線の形成方法にあつては、配線の微細化が進むと、EM耐性やSM耐性が低下し、配線の信頼性が低下するという問題があった。更に、W膜の形成が安定して起こるように事前の処理が必要になったり、不要なW膜を除去したりする必要があるので、工程数が増加するという問題があった。

【0020】また、バイアスパッタリング法によるAl配線の形成方法にあつては、Al膜中にスパッタリングガスが混入し、配線の信頼性が低下するという問題があった。更に、接続孔の内壁全体を被覆するAl配線を形成するために厚めのAl配線膜を形成しなければならず、後工程で形成する層間絶縁膜の平坦化が困難になるなどの波及的な問題があった。

【0021】本発明は、上記事情を考慮してなされたもので、その目的とするところは、接続孔のアスペクト比が1を越えても配線の信頼性を保つことができる半導体装置の製造方法を提供することにある。

【0022】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の半導体装置の製造方法(請求項1)は、基板上に絶縁膜を形成する工程と、この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、バイアスパッタリング法により導電膜を全面に形成するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、前記導電膜を加工して配線を形成する工程とを備えたことを特徴とする。

【0023】ここで、前記導電膜の埋込みは、前記導電膜の形成と同時にまたはその後に行なうと良い。本発明の第2の半導体装置の製造方法(請求項2)は、基板上に絶縁膜を形成する工程と、この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、バイアスパッタリング法によりスパッタリングガスが導入された導電膜を全面に形成するとともに、前記スパッタリングガスが前記導電膜から放出されない温度に前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、前記導電膜を加工して配線を形成する工程と、前記配線を形成する前または後に、前記スパッタリングガスが前記導電膜から放出される温度に前記基板を加熱して前記スパッタリングガスを前記導電膜から放出する工程とを備えたことを特徴とする。

【0024】ここで、前記導電膜の埋込みは、前記導電膜の形成と同時にまたはその後に行なうと良い。また、スパッタリングガスが導入された導電膜は、基板に印加する電圧、基板温度を調整することにより、容易に形成できる。

【0025】本発明の第3の半導体装置の製造方法(請求項3)は、基板上に絶縁膜を形成する工程と、この絶縁膜にアスペクト比が1を越える接続孔を形成する工程

と、スパッタリング法により導電膜を前記基板上に形成する工程と、前記基板をプラズマに晒して前記導電膜の表面をスパッタエッチングすることにより、前記接続孔の内面全体を前記導電膜により被覆するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、前記導電膜を加工して配線を形成する工程とを備えたことを特徴とする。

【0026】ここで、前記導電膜の埋込みは、前記導電膜の形成と同時にまたはその後に行なうと良い。本発明の第4の半導体装置の製造方法（請求項4）は、基板上に絶縁膜を形成する工程と、この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、スパッタリング法により導電膜を前記基板上に形成する工程と、第1のイオンエネルギーを有する荷電粒子を前記導電膜に照射して前記導電膜の表面をスパッタエッチングすることにより、前記基板を加熱せずに前記接続孔の内面全体を前記導電膜により被覆する工程と、前記第1のイオンエネルギーよりも小さい第2のイオンエネルギーを有する荷電粒子を前記導電膜に照射するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、前記導電膜を加工して配線を形成する工程とを備えたことを特徴とする。

【0027】ここで、第1のイオンエネルギーE1から第2のイオンエネルギーE2への変化は、図5(a)に示すように不連続でもよいし、また、図5(b)に示すように連続でもよい。

【0028】また、埋め込み工程において基板を加熱する時点は、第1のイオンエネルギーを有する荷電粒子（第1の荷電粒子）を照射している途中、第1の荷電粒子の照射を終えた直後、または第2のイオンエネルギーを有する荷電粒子を照射している途中でもよい。

【0029】本発明の第5の半導体装置の製造方法（請求項5）は、基板上に絶縁膜を形成する工程と、この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、前記接続孔の内面における最低膜厚が20nm以上となる導電膜を全面に形成するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、前記導電膜を加工して配線を形成する工程とを備えたことを特徴とする。

【0030】ここで、前記導電膜の埋込みは、前記導電膜の形成と同時にまたはその後に行なうと良い。本発明の第6の半導体装置の製造方法（請求項6）は、基板上に絶縁膜を形成する工程と、この絶縁膜にアスペクト比が1を越え、開孔側に向かって広がったテーパ形状の接続孔を形成する工程と、前記接続孔の内面における最低膜厚が20nm以上となる導電膜を異方性スパッタリング法により全面に形成するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、前記導電膜を加工して配線を形成する工程とを備えたことを特徴とする。

【0031】ここで、前記導電膜の埋込みは、前記導電膜の形成と同時にまたはその後に行なうと良い。また、テーパ形状の接続孔のテーパ角は、80～85°が望ましい。

【0032】本発明の第7の半導体装置の製造方法（請求項7）は、上記発明（請求項1、請求項2、請求項3、請求項5、請求項6）において、前記埋め込み工程における前記基板の加熱の際に、荷電粒子を前記導電膜に照射し、前記荷電粒子により、前記導電膜をスパッタエッチングせずに、前記導電膜の表面の原子の拡散を増速させることを特徴とする。

【0033】本発明の第8の半導体装置の製造方法（請求項8）は、基板上に絶縁膜を形成する工程と、この絶縁膜にアスペクト比が1を越える接続孔を形成する工程と、前記接続孔の内面を被覆する導電性被覆膜を形成する工程と、少なくとも前記導電性被覆膜の表面に吸着しているガスを除去する工程と、導電膜を全面に形成するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込む工程と、前記導電膜を加工して配線を形成する工程とを備えたことを特徴とする。

【0034】ここで、前記導電膜の埋込みは、前記導電膜の形成と同時にまたはその後に行なうと良い。本発明の第9の半導体装置の製造方法（請求項9）は、上記発明（請求項8）において、前記ガスの除去を基板加熱、荷電粒子照射または紫外線照射により行なうことを特徴とする。

【0035】本発明の第10の半導体装置の製造方法（請求項10）は、上記発明（請求項8）において、前記ガスの除去後、前記導電膜の形成前に、前記基板を冷却することを特徴とする。

【0036】本発明の第11の半導体装置の製造方法（請求項11）は、上記発明（請求項1～請求項7）において、前記導電膜の形成前に、少なくとも前記接続孔の側部および底部に吸着しているガスを除去することを特徴とする。

【0037】本発明の第12の半導体装置の製造方法（請求項12）は、上記発明（請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項8）において、前記導電膜として多結晶構造のものを使用し、前記基板の加熱が、全面に前記導電膜が形成された後、昇温工程と降温工程とからなる加熱工程を2回以上繰り返すものであることを特徴とする。

【0038】

【作用】本発明の第1の半導体装置の製造方法（請求項1）によれば、バイアスパッタリング法を用いているので、アスペクト比が1を越える接続孔の側部および底部を厚めの導電膜で確実に被覆できる。

【0039】このため、基板を加熱しても接続孔の側部および底部の導電膜の凝集が起こらず、基板の加熱により導電膜を構成する原子の移動が接続孔の内面に形成さ

れた導電膜を介して行なわれるようになる。

【0040】したがって、接続孔のアスペクト比が1を越えても、下地として特別なものを用いなくても、接続孔の底部で段切れが生じたり、接続孔の内部にボイドが生じるのを防止できる。

【0041】また、接続孔以外の領域の導電膜の膜厚を薄く形成できるので、後工程で形成する層間絶縁膜の平坦化が困難になるなどの波及的な問題は生じない。更に、Wプラグのように $A1/W/A1$ といった異なる金属の直列接続によっては配線は形成されていないので、工程数の増加を防止でき、そして、原子の流れ方に不連続性が生じることがなく、EM耐性の劣化も防止できる。しかも、アスペクト比が1を越えても接続孔の内面に厚めの導電膜を形成できるので、SM耐性も劣化しない。

【0042】また、本発明の第2の半導体装置の製造方法（請求項2）によれば、上記発明（請求項1）と同様の作用効果の他に、以下のような作用効果が生じる。すなわち、本発明によれば、スパッタリングガスが導入された導電膜を形成しているの、スパッタリングガスが導入されていない導電膜を用いた場合に比べて、より低温で導電膜の流動が生じる。このため、接続孔の側部および底部の導電膜の凝集をさらに抑制することができ、より高いアスペクト比の接続孔にも配線を形成できるようになる。

【0043】導電膜中または配線中に含まれるスパッタリングガスは、それぞれ、配線を形成する前または後の基板加熱により導電膜または配線から抜けるので、結晶粒径が成長しない等の問題は改善される。したがって、スパッタリングガスによる配線の劣化を防止できる。

【0044】また、本発明の第3の半導体装置の製造方法（請求項3）によれば、スパッタリング法により導電膜を前記基板上に形成した後、基板をプラズマに晒して前記導電膜の表面をスパッタエッチングしている。

【0045】このため、スパッタエッチングされた導電膜を構成する原子が接続孔の内面に再付着し、アスペクト比が1を越える接続孔の側部および底部を厚めの導電膜で確実に被覆できる。

【0046】したがって、本発明の第1の半導体装置の製造方法（請求項1）と同様な作用効果が生じる他、バイアスパッタリング法を用いずに、導電膜の成膜を行なうことができるので、より膜質が改善される。

【0047】また、本発明の第4の半導体装置の製造方法（請求項4）によれば、スパッタリング法により導電膜を基板上に形成した後、第1のイオンエネルギーを有する荷電粒子（第1の荷電粒子）により導電膜の表面をスパッタエッチングしているの、本発明の第3の半導体装置の製造方法（請求項3）と同様な作用効果が生じる。

【0048】さらに、本発明によれば、以下のような作用効果が生じる。本発明では、第2のイオンエネルギー

を有する荷電粒子（第2の荷電粒子）を導電膜に照射するとともに、前記基板を加熱して前記導電膜を前記接続孔に流動せしめて埋め込んでいる。

【0049】このとき、第2のイオンエネルギーは第1のイオンエネルギーよりも小さいため、第2の荷電粒子は、導電膜をスパッタエッチングすることなく、導電膜の表面の原子の拡散を増速させる。

【0050】したがって、本発明によれば、本発明の第3の半導体装置の製造方法（請求項3）に比べて、よりも低温の基板加熱により、接続孔に導電膜を埋め込むことができる。

【0051】本発明者等の研究によれば、接続孔の内面における最低膜厚が20nm以上となる導電膜が全面に形成して基板を加熱すれば、接続孔の内部で段切れが生じないという新事実を見出した。

【0052】したがって、このような知見に基づいた本発明の第5、第6の半導体装置の製造方法（請求項5、請求項6）によれば、接続孔の底部での段切れ等による配線の信頼性の低下を防止できる。

【0053】また、本発明の第7の半導体装置の製造方法（請求項7）によれば、荷電粒子により、導電膜をスパッタエッチングせずに、導電膜の表面の原子の拡散を増速させているので、本発明の第4の半導体装置の製造方法（請求項4）の場合と同様に、低温の基板加熱により、接続孔に導電膜を埋め込むことができる。

【0054】また、本発明の第8の半導体装置の製造方法（請求項8）によれば、導電膜の形成前に、接続孔の内面に導電性被覆膜（例えば、バリアメタル）を形成しているの、導電膜が絶縁膜に直接コンタクトすることがなくなるので、上記発明（請求項5）の作用効果の他に、導電膜が素子活性層に与える悪影響（例えば、後工程の基板加熱により導電膜中の原子が素子活性層中に拡散すること）を防止できるという作用効果も得られる。

【0055】更に、本発明者等の研究によれば、吸着ガスの除去を行なえば、接続孔内壁における導電膜の凝集を防止できることが分かった。したがって、本発明（請求項8）によれば、接続孔に導電膜を容易に流動せしめて埋め込むことができるようになる。

【0056】また、本発明の第11の半導体装置の製造方法（請求項11）によれば、接続孔の側部および底部に吸着しているガスを除去しているの、本発明の第8の半導体装置の製造方法（請求項8）の場合と同様に、接続孔に導電膜を容易に流動せしめて埋め込むことができるようになる。

【0057】

【実施例】以下、図面を参照しながら実施例を説明する。

（実施例1：請求項1、2、5）図1は、本発明の第1の実施例に係るA1配線の形成方法を示す工程断面図である。

【0058】まず、図1(a)に示すように、単結晶シリコンからなり、面方位が(100)のシリコン基板11上に、厚さ0.8 μ mの酸化膜12をプラズマCVD法により形成する。次いでシリコン基板11に形成された配線層あるいは素子活性層(不図示)上の酸化膜12に、光露光法とRIE法とを用いて、開孔径が0.3~1.0 μ mでアスペクト比が1を越える接続孔13を形成する。

【0059】ここで、RIE法の条件としては、例えば、エッチングガスとしてはCF₄とH₂との混合ガスを用い、エッチング時の圧力を40mTorrに制御し、エッチング時の投入パワーを800Wとする。このような条件で接続孔13を形成した場合、そのテーパ角は80~90°の角度領域に収まる。

【0060】この後、接続孔13の形成の際に用いたレジストを酸素プラズマ中で灰化し、そして、硫酸と過酸化水素との混合液中で洗浄する。次に図1(b)に示すように、Ti膜とTiN膜との積層膜14を直流マグネトロンスパッタリング法により全面に形成する。上記Ti膜、TiN膜の膜厚は例えばそれぞれ20nm、70nmとする。この後、このような構造が形成されたシリコン基板11に対して、600℃、30分間、N₂常圧雰囲気中の電気がによる加熱処理を施す。

【0061】ここで、上記Ti膜、TiN膜の積層膜の成膜は例えば以下に行なう。すなわち、まず、99.9999%のTiターゲットを用い、Arを40sccmの流量で導入し、0.5Aの印加電流を流してTi膜を形成する。

【0062】この後、Ti膜とは別の成膜室でTiN膜を形成する。このとき、Ti膜が大気に晒されることが無いように真空雰囲気中で連続的に形成する。また、ターゲットとしてはTi膜の場合と同様に99.9999%のTiターゲットを用い、そして、Arを20sccmとN₂を20sccmの流量で混合するとともに、1Aの印加電流を流して化成スパッタリング法によりTiN膜を形成する。

【0063】なお、各々の成膜室の到達真空度は例えば10⁻⁴Pa台とし、スパッタリング中の真空度は例えば2.7×10⁻⁴Paとする。次に図1(c)に示すように、シリコン基板11に、例えば、-100~-250Vの直流電圧を印加しながら直流マグネトロンスパッタリング法により(バイアススパッタリング法)、全面にAl配線膜15を無加熱で形成する。ここで、Al配線膜15の接続孔13内の最低膜厚が20nm以上になるようにする。

【0064】具体的には、例えば、図2に示すように、絶縁物からなる支持台1上にシリコン基板11を載置し、シリコン基板11の外周をクランプ2で固定し、可変直流電圧源3によりクランプ2に直流電圧を印加することにより、シリコン基板11に直流電圧を印加し、そ

して、純度99.9999%のAlに1重量%のSiと0.5重量%のCuとを添加したスパッタリングターゲット4に10kWのパワーを可変直流電圧源5により投入し、そして、スパッタリングガスであるAr6を導入するとともに、到達真空度を10⁻⁴Paにして、厚さ0.4 μ mのAl配線膜15を形成する。

【0065】このスパッタリングで形成される配線膜は、Alの他にSiやCuを含むが単にAl配線膜という(他の実施例も同様)。なお、図2において、参照番号7は絶縁物材を示している。なお、シリコン基板11に交流電圧を印加したバイアススパッタリング法を用いても良い。

【0066】さらに、このバイアススパッタリング法によって形成されたAl配線膜には、負バイアス電圧(基板電圧)によって引き込まれたArガスが含まれている。また、このバイアススパッタリング法は無加熱で行なわれるため、基板温度は、引き込まれたArガスが外部に放出される温度にまでは到達しない。したがって、Al配線膜の形成時に、Al配線膜中のAlガスが外部に放出することはない。

【0067】次にシリコン基板11を大気に晒すことなく加熱室へ搬送した後、スパッタリングと同一真空中で3分間ほどシリコン基板11を加熱することにより、図1(d)に示すように、接続孔13内にAl配線膜15を埋め込む。

【0068】ここで、シリコン基板の温度は500℃未満にし、また、シリコン基板11の加熱方法としては、例えば、予め420℃の加熱しておいたセラミックヒーター上にシリコン基板11を静電チャックにより固定する方法を用いる。この加熱方法によるシリコン基板11の到達温度は440℃程度である。

【0069】次にシリコン基板11を大気に晒すことなく、さらに基板温度を520℃まで上昇させ、Al配線膜中に含まれるArガスを放出させるために10分程度の加熱を行なう。

【0070】最後に、図1(e)に示すように、光露光法とRIE法とを用いて積層膜14およびAl配線膜15をパターニングしてAl配線が完成する。なお、Al配線の形成後に、Arガスの放出を行なっても良い。この場合、Al配線の体積に対するAl配線の表面積の割合が大きいので、Arガスの放出を効果的に行なうことができる。

【0071】図3は、従来法を用いた場合(基板電圧を印加しない場合)のAl配線膜の埋め込まれかたを示す図である。また、図4は、本実施例の形成方法を用いた場合のAl配線膜の埋め込まれかたを示す図である。ここで、接続孔の開孔径は0.5 μ m、アスペクト比は1.6である。

【0072】従来法の場合、Al配線膜15aは、段差被覆性に乏しいため、接続孔の内壁全体を膜状に覆うこ

とができず、図3(a)に示すように、接続孔の底では島状のA1配線膜15aが形成される。言い換えれば、段切れが生じる。

【0073】このような成膜初期形状を有するA1配線膜15aが形成されたシリコン基板11に到達温度440℃、3分間の加熱処理を施すと、図3(b)に示すように、A1配線膜15a凝集を起こし、接続孔へ埋め込むことはできなくなる。

【0074】特に開孔径が微細化されている場合、図3(c)に示すように、凝集して接続孔の上方に競り上がったA1配線膜15a同士が密着し、表面エネルギー的に安定な構造となってしまう、接続孔内に空洞(ボイド)16が形成され、後工程で埋め込むことはできなくなってしまう。

【0075】一方、本実施例の方法の場合には、基板電圧によって引き込まれたArイオンによるA1配線膜15の再スパッタリングにより、入射A1原子の見込み角の減少が抑制され、更に、再スパッタリングされたA1原子が接続孔の内面に再付着するため、図4(a)に示すように、接続孔の内面全体に厚めのA1配線膜15が形成される。すなわち、従来法のように段切れは生じない。

【0076】A1配線膜の膜厚と凝集温度とは相関があり、膜厚が薄いほど凝集温度は低くなる。しかし、本実施例のように、シリコン基板11に電圧を印加しながらスパッタリングを行えば、接続孔の内面には十分厚いA1配線膜が形成され、到達温度440℃、3分間の加熱によっても凝集は起こらないことが分かった。したがって、A1配線膜15のA1原子は、図4(b)に示すように、接続孔の内面に形成されたA1配線膜15の表面あるいは内部を移動し、表面エネルギーの低い状態に遷移することができ、図4(c)に示すように、ボイドが形成されることなく、接続孔にA1配線膜15が埋め込まれる。

【0077】図14は、基板温度とArガスを含むA1配線膜からのArの放出量との関係を示す特性図である。図14から、A1配線膜中のArガスは、基板温度が約500℃以上となると、A1配線膜から放出することが分かる。

【0078】したがって、Arガスを含むA1配線膜は流動性が高いため、本実施例のように、500℃未満という比較的低温の基板温度でも、A1配線膜を接続孔に埋め込むことができる。

【0079】しかし、接続孔へのA1配線膜の埋め込みが終了した後、A1配線膜中のArガスは、結晶粒の成長を妨げ、信頼性低下の原因となる。したがって、本実施例のように、埋め込みが終了した後、基板温度を500℃以上に上昇して、A1配線膜中のArを外部に放出させることにより、Arガスに起因する信頼性低下を防止できる。

【0080】以上述べたように、本実施例によれば、バイアスパッタリング法を用いているので、アスペクト比が1を越える接続孔13の側部および底部を厚めのA1配線膜15で確実に被覆できる。このため、シリコン基板11を加熱してもA1配線膜15の凝集が起こらず、シリコン基板11の加熱によりA1配線膜15を構成するA1原子の移動が接続孔13の内面に形成されたA1配線膜15を介して行なわれる。したがって、段切れやボイドを防止でき、配線の信頼性を向上できる。

【0081】更に、接続孔13以外の領域のA1配線膜15を薄く形成できるので、後工程で形成する層間絶縁膜の平坦化が困難になるなどの波及的な問題は生じない。更にまた、WプラグのようにA1/W/A1といった異なる金属の直列接続によつては配線は形成されていないので、工程数の増加を防止でき、そして、A1原子の流れ方に不連続性が生じることがなく、EM耐性の劣化も防止できる。しかも、アスペクト比が1を越えても接続孔13の内面に厚めのA1配線膜15を形成できるのでSM耐性も劣化しない。

【0082】図13に、本実施例で行なわれた加熱によるシリコン基板の温度プロファイルの1例を示す。この温度プロファイルで加熱した場合には、アスペクト比が約1.8の接続孔までであれば、厚さ0.4μmのA1配線膜で接続孔が埋め込まれることを確認した。

(実施例2：請求項3) 図6は、本発明の第2の実施例に係るA1配線の形成方法を示す工程断面図である。

【0083】先ず、先の実施例と同様な方法により、図6(a)に示すように、シリコン基板21上に、アスペクト比が1を越える接続孔23を有する絶縁膜22を形成した後、全面にTi膜とTiN膜との積層膜24を形成する。

【0084】次に図6(b)に示すように、積層膜24上に厚さ0.6μmのA1配線膜25を直流マグネトロンスパッタリング法を用いて無加熱で形成する。次にシリコン基板21を予め200℃に加熱したセラミックヒーター上に搬送して固定する。そして、固定と同時に基板側に周波数13.56MHzのRF電力を100W印加してプラズマ放電を起こさせる。シリコン基板21が収容された処理室の到達真空度は10⁻⁶Pa台で、この処理室にはArが予め55sccmの流量で流され、0.8Paの圧力に維持されている。

【0085】このプラズマ放電で生じたArイオンによってA1配線膜25の表面が叩かれるので、A1配線膜25の表面が0.2μmエッチングされるとともに、シリコン基板21が加熱される。この結果、接続孔の側部および底部に厚めのA1配線膜25が形成されるとともに、図6(c)に示すように、基板温度が上昇してA1配線膜25が接続孔23に埋め込まれる。

【0086】本実施例では、スパッタリングするガスとしてArを用いたが、スパッタ速度を遅くするために、

水素(H)等のような質量の小さい原子を用いても良い。特にイオン化した水素は還元性が高く、真空下でさえも形成してしまうA1配線膜の表面の自然酸化膜物の除去に効果がある。自然酸化膜の除去は、A1原子の表面拡散を増加させ、埋め込み効率を向上させることが可能である。

【0087】最後に、先の実施例と同様に積層膜24とA1配線膜25とをパターニングして、A1配線が完成する。本実施例によれば、通常のスパッタリング法によりA1配線膜25をシリコン基板21上に形成した後、このシリコン基板21をプラズマに晒してA1配線膜25の表面をスパッタエッチングしているの、バイアススパッタリング法を用いなくても、アスペクト比が1を越える接続孔23の側部および底部を厚めのA1配線膜25で確実に被覆できる。したがって、先の実施例と同様な効果が得られる。更に、バイアススパッタリング法を用いずにA1配線膜25の形成を行なうことができるので、A1配線膜25中へのArガスの混入を抑制することが可能となり、膜質の向上が達成される。

(実施例3：請求項5)次に本発明の第3の実施例に係るA1配線の形成方法について説明する。

【0088】これはシリコン基板に直流電圧あるいは高周波電圧を印加することなく、接続孔の側面および底面に配線膜を連続的に形成した後、シリコン基板を加熱することにより接続孔内にA1配線膜を埋め込む方法である。

【0089】まず、第1の実施例と同様に、シリコン基板上に、アスペクト比が1を越える接続孔を有する絶縁膜を形成した後、全面にTi膜とTiN膜との積層膜を形成する。

【0090】次に接続孔の内面に従来のスパッタリング法で形成する場合に比べて厚いA1配線膜を形成するために、シリコン基板を傾斜かつ回転させる方法を用いる。すなわち、まず、シリコン基板をカソード(A1-Si-Cuターゲット)面と平行なステージ上に設置する。このステージは上記方法を達成できるように、カソード面に対して±60°の傾斜を制御することが可能となっており、且つステージ上のシリコン基板を回転できるようにになっている。更に、カソードとシリコン基板との距離は400mm離れており、ターゲットから飛来する原子の方向をカソード垂直方向に揃えるようにしてある。

【0091】次に基板傾斜角を-30°から+30°まで変化させ1分間に30周期させるようにし、且つ基板回転数を60rpmとして厚さ0.4μmのA1配線膜を形成する。この方法により、接続孔のアスペクト比が1.5の場合で、厚さ約50nmのA1配線膜を接続孔の内面に形成できる。

【0092】このように本実施例によれば、シリコン基板に直流電圧や高周波電圧を印加することなく、A1配

線膜を接続孔内に埋め込むことができる。これは第1の実施例でも説明したように、接続孔の内面全体がA1配線膜で被覆されているからである。すなわち、接続孔の内面全体をA1配線膜で覆うことができれば、どのような成膜手段でA1配線膜を形成しても本発明の効果が得られる。

【0093】以上述べた第1～第3の実施例の方法は、特に接続孔の深さが配線となる導電膜の膜厚よりも大きい場合に有効である以下に第1、第2、第3の実施例の変形例について説明する。

【0094】第1の実施例では、バイアススパッタリング法によりA1配線膜15を形成したが、スパッタリングによる基板表面のエッチングやダメージを低減するために、通常のスパッタリングでまずある程度の厚さのA1配線膜15を形成した後、バイアススパッタリング法によりA1配線膜15を形成しても良い。

【0095】また、シリコン基板11の加熱温度が接続孔13の内面に形成中のA1配線膜15を凝集せしめない温度範囲である場合には、シリコン基板11を加熱する工程をA1配線膜15を形成する工程と同時にしくは前に始めても問題はない。

【0096】また、A1配線膜15を形成した後、シリコン基板11を大気に晒さずに、すなわち、A1原子の流動がスムーズに行なわれるように、A1配線膜15の表面に自然酸化膜が形成されるのを抑制した状態でシリコン基板15を加熱することが望ましいが、自然酸化膜の影響がない場合に限ってはシリコン基板11を大気に晒した後に加熱しても問題はない。

【0097】また、第2の実施例では、プラズマ放電で生じたArイオンにより、A1配線膜25の表面をエッチングする工程と、シリコン基板21を加熱する工程とを同時に行なっているが、エッチング後に加熱しても良い。

【0098】また、第1、第2、第3の実施例において、シリコン基板上にA1配線膜を形成する際にA1配線膜の凝集を起こさせない温度範囲であればシリコン基板を予め加熱しておいても問題はない。

【0099】次に上述した多結晶構造の導電膜からなる配線に対して2回以上の昇降温過程を繰り返すという本発明の加熱方法(熱処理方法)について説明する(請求項12)。

【0100】本発明の熱処理方法は以下のような知見に基づいている。すなわち、結晶の成長過程を時間を追って観察した結果、粒径成長のほとんどは熱処理の昇温過程で生じていることを見出した。そこで、同一温度の熱処理で、高温での熱処理時間を長くした場合と、高温での熱処理時間は同一でも一度低温にして再度高温にするという処理を繰り返した場合の結晶粒径を比較すると、繰り返し熱処理の場合の方が平均結晶粒径も大きく、しかも小結晶粒がほとんど無くなることを見出した。こ

の結果、配線中の粒界構造は完全なバンブー構造になり、配線信頼性が大幅に向上することが分かった。

【0101】以下、多結晶構造の導電膜としてAl膜を用い、電気炉を用いて熱処理を行なう場合について具体的に説明する。図7には、本発明の熱処理方法と従来の熱処理方法との違いを示す特性図が示されている。

【0102】従来法では、450℃程度で5～30分間の熱処理をAl膜に実施していた。すなわち、一定温度の熱処理を1回だけ行なう。一方、本発明では、図中の実線で示すように、熱処理を複数回繰り返す。すなわち、昇温工程と降温工程とからなる熱処理を2回以上繰り返す。この場合、降温工程で室温まで熱処理温度を下げる要はなく、対象とする導電膜の再結晶温度程度以下で良い。Alの場合は200℃程度である。

【0103】結晶の成長は大部分が昇温過程で生じるので、本発明の高温での熱処理時間は長くとる必要はなく、所定の熱処理温度に達したら直ちに冷却を始めても本発明の効果は得られる。

【0104】図8は、本発明の熱処理後の粒径分布結果を従来法のそれと比較した結果である。従来の熱処理方法では点線で示したような粒径分布を示していた。これはランプなどによる高温短時間熱処理を行なっても基本的に変わり無く、平均結晶粒径は大きい方にシフトするが小結晶粒が少なからず残存していた。その結果、配線の初期不良により低寿命であった。

【0105】一方、本発明の熱処理方法で得られた粒径分布は図中の実線で示すように、平均結晶粒径が大きくなるばかりでなく、小粒径結晶のピークが無くなっているような正規分布を示した。

【0106】また、配線中の粒界構造を調べたところ、粒界構造には以下のような違いがあった。すなわち、本発明の熱処理を施したAl配線には、図9(a)に示すように、3重点粒界は無く、完全なバンブー粒界構造30が形成されていた。

【0107】一方、従来法の熱処理を施したAl配線中には、図9(b)に示すように、小結晶粒の存在に起因する3重点粒界31が存在していた。このような3重点粒界31は低寿命初期不良の原因となる。

【0108】図10は、本発明の熱処理を施したAl配線の配線寿命分布を従来法の場合のそれと比較した結果である。従来例では、平均配線寿命も短く、初期不良が存在している。一方、本発明の繰り返し熱処理法で得られた配線の寿命分布は試験時間に対し、完全に対数正規分布に従っており初期不良が低寿命側に片寄ることがなくなっている。

【0109】このように本発明の熱処理方法は、昇温・降温工程を複数回繰り返すことにより、小結晶粒を大粒径化もしくは他の大粒径結晶粒に吸収させて完全に無くし、配線中の粒界構造がバンブー粒界だけで構成されるようにして、EM耐性等を大幅に改善し、配線の高信頼

化を実現するものである。

【0110】本発明の熱処理方法の効果は、Al配線の構造に関係なく得られ、Al単層配線、バリアメタル上のAl配線、Al配線上に他のメタルあるいは反射防止膜がある場合などのような構造のAl配線に対しても有効である。

【0111】また、本発明の熱処理を行なう段階は、Al配線膜を配線状に加工する前および加工した後（例えば、配線パシベーション膜の形成後）のどちらの段階でも良い。

【0112】更に、配線材料としてはAl以外のCu、Auなど他のどんな導電材料にたいしても本発明の熱処理方法は有効である。更にまた、電気炉以外に、ランプアニール、レーザーアニールなど他のどんな熱処理方法を用いても有効である。

【0113】なお、本発明の熱処理方法は以下のような従来技術を背景に生まれたものである。従来より、半導体集積回路の高密度化、高速化は主として素子の微細化および配線の多層化によって実現されてきた。素子寸法の微細化および配線化にともなう大きな問題の一つになってきたものに、金属配線の信頼性劣化がある。半導体装置の微細化した金属配線の不良発生モードは多くあり、例えば、エレクトロマイグレーション、ストレスマイグレーションの配線断線モードや、ヒロック発生による層間・線間ショートやそれに起因する配線腐食などである。これらの信頼性劣化現象は現状主として使用されているAl配線において顕著である。その理由は低融点であるため熱、応力などのストレスによって容易にAl原子が移動、拡散し易いためである。

【0114】この中でも特にエレクトロマイグレーションは素子スピードを上げる為に配線中の電流密度が増大する傾向となっており、解決すべき一番大きな課題となっている。この信頼性劣化機構は金属原子の粒界拡散が大きな要因を占めていることがわかっている。そこでエレクトロマイグレーション対策として配線中の粒界を減少させる目的で、多結晶金属配線の平均粒径を大きくして、粒界密度を減らす熱処理方法がいくつか提案されている。

【0115】例えば、ランプやレーザーによる高温短時間加熱、配線金属上に寄与する赤外線を吸収しやすいカーボンなどの反射防止膜を設けて熱処理する方法が提案されている。

【0116】しかしながら、現状ではそれらの従来方法では配線の信頼性向上効果は十分ではない。その原因は配線中に少ないながらも小粒径の結晶粒が残ってしまい、3重点粒界が形成されて、そこからポイドが形成・成長して配線の断線が生じるからである。

【0117】このような問題を解決するために、本発明では、上述した熱処理方法により、小結晶粒を大粒径化もしくは他の大粒径結晶粒に吸収させて完全に無くし、

配線中の粒界構造がバンパー粒界だけで構成されるようにして、配線の高信頼化を実現している。

【実施例4：請求項6】図11は、本発明の第4の実施例に係るA1配線の形成方法を示す工程断面図である。

【0118】まず、図11(a)に示すように、シリコン基板41上に、ソースとしてTEOSとO₂との混合ガスを用いたプラズマCVD法により、厚さ0.8μmのSiO₂膜42を形成する。このような成膜法により、水分が十分に少ないSiO₂膜42が得られる。したがって、SiO₂膜42に対する脱ガス工程を除くことも可能である。

【0119】次いで光露光法とRIE法とを用いて、開孔径が0.3~1.0μmのアスペクト比が1を越える接続孔40を開孔する。このとき、RIE条件を適当に選ぶことにより、接続孔40の形状が80°~85°のテーパ角を持つテーパ形状となるようにする。この後、接続孔40の形成の際に用いたレジストを酸素プラズマ中で灰化し、硫酸と過酸化水素水との混合液中で洗浄する。

【0120】次いでバリアメタル（導電性保護膜）としてのTi膜43とTiN膜44との積層膜を直流マグネトロンスパッタリング法により全面に形成する。Ti膜43の膜厚、TiN膜44の膜厚は、例えば、それぞれ、20nm、70nmとする。このようなバリアメタルを設けることにより、後工程で形成するA1配線膜中のA1が後工程の熱処理等により素子活性層にアロイスパイクを発生させることを防止できるようになる。

【0121】この後、シリコン基板41に対して、600℃、30分間~3時間、N₂常圧雰囲気中の電気炉による加熱を施す。この加熱処理によりバリアメタル（Ti膜43、TiN膜34）のデンスファイが行なわれ、良質なバリアメタルが得られるようになる。

【0122】次いでシリコン基板41を到達真空度1×10⁻⁶Paの基板導入室、搬送室、異方性スパッタ室、加熱室および基板取り出し室からなるマルチチャンバー中へ設置する。この後、シリコン基板41を導入室から搬送室を介して異方性スパッタリング室に搬送する。

【0123】次に図11(b)に示すように、上記異方性スパッタリング室において、異方性スパッタリング法により、厚さ0.4μmのA1配線膜44を形成する。この異方性スパッタリング法は、例えば、シリコン基板41とA1ターゲットとの間の距離を通常のスパッタリング法よりも長くして（例えば、100~300mm）、図11(e)に示すように、シリコン基板41に対して垂直にA1原子45を飛来させる方式のものや、シリコン基板41とA1ターゲットとの間にコリメータと呼ばれる障壁板を設けてシリコン基板41に対して垂直にA1原子45を飛来させる方式（いわゆるコリメーションスパッタリング法）のものであることが望ましい。ここで、スパッタ開始時の基板温度は150℃以下

の低温に保たれていることが望ましい。

【0124】本実施例の場合、SiO₂膜42に形成した接続孔40はテーパ形状を有しているため、接続孔40の側壁への付着量が増加する。したがって、本実施例のように、異方性スパッタリング法により、厚さ0.4μmのA1配線膜を形成すれば、接続孔内壁のA1配線膜の最低膜厚を容易に20nm以上とすることができ

る。

【0125】また、異方性スパッタリング法で形成されるA1配線膜は、純粋（Al100%）なものである必要がなく、例えば、Al-Si1wt%-Cu0.5wt%のように、Alの他に、SiやCuを含むものでも良い。

【0126】次にシリコン基板41を搬送室を介して加熱室に搬送し、シリコン基板41を500℃、3分間加熱することにより、図11(c)に示すように、接続孔をA1配線膜46で埋め込む。

【0127】ここで、シリコン基板41の加熱方法としては、例えば、セラミックヒーター上にシリコン基板41を機械的に固定するか、あるいは静電力で固定し、基板裏面から熱伝導用のガスを導入する方法を用いる。

【0128】次いで基板加熱によるA1配線膜46の埋め込み工程が終了したシリコン基板41を搬送室を介して基板取り出し室に搬送し、マルチチャンバー外部に取り出す。

【0129】最後に、図11(d)に示すように、光露光法とRIE法とを用いてTi膜43、TiN積層膜44およびA1配線膜46をパターニングしてA1配線が完成する。

【0130】本実施例では、上述したように、到達真空度1×10⁻⁶Paの基板導入室、搬送室、異方性スパッタリング室、加熱室および基板取り出し室からなるマルチチャンバーを用いて、A1配線膜の形成および接続孔へのA1配線膜の埋め込みを高真空中で連続的行な

った。

【0131】このような高真空度の雰囲気中での連続処理が必要な理由は、残留酸化性ガスによりA1配線膜46の表面が酸化され、Alの表面拡散が抑制されることを防ぐためである。そして、本発明者等の研究によれば、5×10⁻⁵Pa以上の高真空下であれば、上記の如きの酸化による悪影響を受けずに、A1配線膜46の埋め込みを行なえることが分かった。

【0132】図12(a)は、テーパ角が90°の接続孔に等方性スパッタリング法を用いてA1配線膜を形成した第1の比較例の断面形状、図12(b)は、テーパ角が90°の接続孔に異方性スパッタリング法を用いてA1配線膜を形成した第2の比較例の断面形状、図12(c)は、テーパ角が80°の接続孔に従来のスパッタリング法を用いてA1配線膜を形成した第3の比較例の断面形状、図12(d)は、テーパ角が80°の接続孔に異方性スパッタリング法を用いてA1配線膜を

形成した本実施例の断面形状である。

【0133】図12(a)から、等方性スパッタリング法を用いた第1の比較例では、Al原子の入射方向が定まっていないため、接続孔部近傍にはAl原子が多く付着するものの、接続孔底部では見込み角が狭く、接続孔底部でのAl配線膜厚が著しく低下することが分かる。

【0134】したがって、接続孔以外の部分の膜厚を0.4 μ mとした場合には、接続孔底部において20nm以上のAl配線膜厚を確保することは難しくなる。このため、後工程の加熱の際にAlの凝集が起こり、接続孔を埋め込むことができない場合がある。

【0135】また、図12(b)から、異方性スパッタリング法を用いた第2の比較例では、Al原子の入射方向は基板鉛直方向となるため、接続孔底部での見込み角が狭くても、Al原子は接続孔底部に進入することが可能になることが分かる。

【0136】しかし、テーパ角90°の接続孔では、接続孔側面へのAl原子の付着確率が低くなり、接続孔側面でのAl配線膜厚は著しく低下する。したがって、接続孔以外の部分の膜厚を0.4 μ mとした場合に、テーパ角が80°の場合と比べて、接続孔側面において20nm以上のAl配線膜厚を容易に確保することは難しくなる。このため、後工程の加熱の際にAlの凝集が起こり、接続孔を埋め込むことができない場合がある。

【0137】また、図12(c)から、接続孔に80°のテーパを付けた第3の比較例では、見込み角が広がるため、等方性スパッタリング法を用いても、接続孔底部でのAl配線膜厚を厚くすることが可能となることが分かる。

【0138】しかし、接続孔底部での見込み角は、Al配線膜の成膜が進むに従って狭くなるため、接続孔以外の部分のAl配線膜厚を0.4 μ mとした場合に、接続孔側面において20nm以上のAl配線膜厚を確保するのは困難である。

【0139】したがって、後工程の加熱により接続孔底部においてAlの凝集が起こり、接続孔を埋め込むことはできない。一方、図12(d)から、本実施例のように異方性スパッタリング法を用い、且つ接続孔に80°のテーパ角を付けると、接続孔の側面および底部のAl配線膜厚の両方が増加する。

【0140】したがって、接続孔以外の部分の膜厚を0.4 μ mとした場合でも、接続孔側面において20nm以上のAl配線膜厚を確保でき、後工程の加熱によってもAlの凝集は起こらず、アスペクト比(接続孔深さ/開孔径)1を越える接続孔はもちろんのこと、アスペクト比2以上の接続孔でも埋め込むことが容易になる。

【0141】以上述べたように本実施例によれば、Ti膜43とTiN膜44との積層膜からなるバリアメタルを形成した後にAl配線膜46を形成しているの、Al配線膜中のAlがSiO₂膜42に拡散して信頼性が

低下するのを防止できる。

【0142】また、本実施例によれば、1 \times 10⁻⁶Paの高真空雰囲気中でAl配線膜45の形成および埋め込みを行なっているの、Al配線膜45の表面が酸化されることによる悪影響、つまり、Al配線膜46の流動が抑制されることはない。したがって、接続孔にAl配線膜46を容易に埋め込むことができる。

【0143】更に、本実施例によれば、テーパ形状の接続孔40を形成し、且つ異方性スパッタリング法によりAl配線膜46を形成しているの、後工程の加熱によってもAlの凝集は起こらず、アスペクト比(接続孔深さ/開孔径)2以上の接続孔でも容易に埋め込むことができるようになる。

(実施例5：請求項8)次に本発明の第5の実施例に係るAl配線の形成方法について説明する。本実施例の特徴は、基板表面に吸着したガス、特にAl配線膜が形成される領域の吸着ガスを除去した後、Al配線膜を形成することにある。

【0144】ここで、基板とは、Al配線膜を形成する前に基板に形成されたものを含む広い意味での基板である。まず、第4の実施例と同様な方法によりシリコン基板上に、アスペクト比が1を越える接続孔を有する絶縁膜をCVD法により形成した後、続いて、CVD法によりTi膜とTiN膜との積層膜を形成する。次いでこのシリコン基板に対して、600℃、30分間、N₂常圧雰囲気中の電気炉による加熱を施し、積層膜のデンスファイを行なう。

【0145】次にこのシリコン基板を到達真空度1 \times 10⁻⁶Paの基板導入室、搬送室、前処理室、異方性スパッタリング室、加熱室および基板取り出し室からなるマルチチャンバー中へ設置する。

【0146】次にこのシリコン基板を基板導入室から搬送室を介して前処理室に搬送する。ここで、シリコン基板は大気中から導入されるため、Ti膜とTiN膜との積層膜やシリコン基板の表面には大気中の水分などのガスが吸着している。

【0147】そこで、Ti膜とTiN膜との積層膜等の表面に吸着したガスを除去するために、例えば、500℃、5分間のシリコン基板の加熱を前処理室内で行なう。ここで、シリコン基板の加熱は、例えば、セラミックヒーターによる加熱や、ハロゲンランプによる加熱により行なう。

【0148】このような吸着ガスの除去は、第1～第4の実施例および後述する第6、第7の実施例に対しても有効である(請求項11)。次にこのシリコン基板を大気に晒さずに異方性スパッタリング室に搬送する。この異方性スパッタリング室の基板ステージを冷却することにより、搬送室したシリコン基板を150℃以下の低温に冷却する。シリコン基板を冷却した後、全面に厚さ0.4 μ mのAl配線膜を形成する(請求項10)。

【0149】最後に、第4の実施例と同様の方法により、基板加熱によりA1配線膜を接続孔に流動せしめた後、A1配線膜等をパターニングしてA1配線が完成する。本実施例では、Ti膜とTiN膜との積層膜等の表面に吸着したガスを除去してからA1配線膜を形成している。これは吸着ガスがA1配線膜等の金属膜の凝集を促進する原因となるからである。この吸着ガスによる金属薄膜の凝集は本発明者等の研究により初めて見いだされた現象である。

【0150】したがって、本実施例のように、金属配線膜を流動化させて接続孔を埋め込む技術において、吸着ガスの除去を行なって金属薄膜の凝集を抑えることは、埋め込み特性の向上につながる。

【0151】一般に、LSIでは層間絶縁膜をCVD法で形成する場合が多い。しかしながら、このようなCVD膜は吸着性を有し、加熱などの熱処理工程の際に水などのガスを放出する。この放出ガスは後工程で形成するA1配線膜の流動性を劣化させる原因となるため、A1配線膜を形成する前に放出ガスを除去する必要がある。

【0152】このため、本実施例では、放出ガスを除去するために、A1配線膜を形成する前に、600℃、30分間のN₂雰囲気下での熱処理をシリコン基板に施している。なお、ここで、N₂雰囲気以外にAr等の不活性ガス雰囲気やH₂等の還元雰囲気をを用いることが可能である。

【0153】ここで、上記熱処理の後、シリコン基板を大気に晒すと、大気中のH₂O、N₂ガスなどが基板表面に吸着してしまう。このため、吸着ガスの除去工程は、例えば、真空中のような再吸着のない状態で、A1配線膜の形成工程と連続的に行なう必要がある。したがって、本実施例のように、真空中での熱処理により吸着ガスの除去を行なう必要がある。更に、本発明者等の研究によれば、本実施例のように、真空中での加熱により吸着ガスの除去を行なえば、アスペクト比2以上の接続孔にA1配線膜を埋め込むことが可能となることを確認した。

【0154】また、本実施例では、A1配線膜を形成する前に、シリコン基板を冷却している。何故ならば、シリコン基板が高温に保たれていると、シリコン基板に飛来したA1原子は基板表面で活発に拡散して島状に成長し、膜のホモロジーが劣化するという問題が生じるからである。

【0155】膜のホモロジーが劣化するということは、膜厚に不連続性を生じるということであり、当然、薄い部分で凝集を起こし易くなる。本発明者等の研究によると、基板温度が150℃以下であれば、A1配線膜のホモロジーが劣化せず、埋め込み特性にも影響を及ぼさないことが確認できている。

【0156】しかし、吸着ガスの除去工程でシリコン基板を高温に加熱しているため、基板温度が下がるまで放

置（自然冷却）するには時間が必要であり、工程にかかる時間が長くなるという問題もある。したがって、本実施例のように、A1配線膜の成長室には基板冷却機能を有していることが望ましい。

（実施例6：請求項9）次に本発明の第6の実施例に係るA1配線の形成方法について説明する。本実施例が第5の実施例と主として異なる点は、イオン照射により基板表面に吸着したガスを除去することにある。以下、本実施例のA1配線の形成方法を具体的に説明する。

【0157】まず、第4の実施例と同様な方法により、シリコン基板上にアスペクト比が1を越える接続孔を有する絶縁膜を形成した後、全面にTi膜とTiN膜との積層膜を形成する。次いでシリコン基板に対して、600℃、30分間、N₂常圧雰囲気中の電気炉による加熱を施す。

【0158】次にシリコン基板を到達真空度1×10⁻⁶Paの基板導入室、搬送室、前処理室、異方性スパッタリング室、加熱室および基板取り出し室からなるマルチチャンバー中へ設置する。

【0159】次にシリコン基板を基板導入室から搬送室を介して前処理室に搬送する。この前処理室内には、シリコン基板を設置するサセプタが設けられており、このサセプタには、例えば、13.56MHzの高周波電力が印加できるようになっている。ここで、シリコン基板は大気中から基板導入室に導入されるため、基板表面には大気中の水分などのガスが吸着している。

【0160】次に基板表面に吸着したガスを除去するために、例えば、上記前処理室内に圧力40PaのArガスを導入するとともに、上記サセプタに高周波電力100Wを印加することによりプラズマを発生させ、シリコン基板にArイオンを20秒間照射する。基板表面のTi膜とTiN膜との積層膜はバリアメタルとして用いているため、上記積層膜がスパッタリングされない条件でイオン照射を行なうことが望ましい。

【0161】次にシリコン基板を大気に晒さずに異方性スパッタリング室に搬送した後、異方性スパッタリング法により厚さ0.4μmのA1配線膜を全面に形成する。なお、吸着ガスを除去する際のイオン照射により基板温度が上昇した場合は、この異方性スパッタリング室内に設けられた基板ステージを冷却することにより、搬送したシリコン基板を150℃以下の温度に冷却する。

【0162】最後に、第4の実施例と同様の方法により、A1配線膜を接続孔へ埋め込んだ後、A1配線膜等をパターニングしてA1配線が完成する。本実施例では、吸着ガスを除去するために、シリコン基板にイオンを照射している。吸着ガスは、Ti膜とTiN膜との積層膜やシリコン基板等と化学的に結合していないため、その吸着力は弱い。したがって、上記積層膜やシリコン基板等をスパッタリングしない程度の弱いイオンエネルギーを持つイオンの衝突により、容易に吸着ガスを上記

25

積層膜やシリコン基板等から解離させることができ、上記積層膜やシリコン基板等がダメージを受けるのを防止できる。

【0163】なお、本実施例ではイオン照射により吸着ガスの除去を行なったが、紫外線照射により吸着ガスの除去を行なっても良い。また、本実施例のイオン照射は正イオンの照射であったが、負イオンや電子のように負に帯電した粒子の照射であっても良い。

（実施例7：請求項4）次に本発明の第7の実施例に係るA1配線の形成方法について説明する。

【0164】まず、第1の実施例と同様の方法により、シリコン基板上にアスペクト比が1を超える接続孔を有する絶縁膜を形成した後、全面にTi膜とTiNとの積層膜を形成する。

【0165】次に上記積層膜上に厚さ0.6μmのA1配線膜を直流マグネトロンスパッタリング法を用いて無加熱で形成する。次にArガスを10~1000sccmの範囲の流量で流し、0.1~100Paの範囲でコンダクタンスバルブ等で調整、維持され、基板に13.56MHzのRF電力を例えば10~100W/cm²の範囲で調整、印加してプラズマ放電を起こさせ、第1のイオンエネルギーを有するイオンをA1配線膜に照射する。このとき、基板は無加熱とする。

【0166】この第1のイオンエネルギーを有するイオンの照射により、第2の実施例と同様に、A1配線膜が0.2μmエッチングされるとともに、接続孔の内面の最低膜厚が20nm以上となるようにする。

【0167】次にシリコン基板を処理室に真空搬送し、例えば、あらかじめ200~500℃に加熱したセラミックヒーター上に搬送して固定する。基板の固定は例えば静電チャックを用い、基板裏面にAr等のガスを導入して熱伝導効率を上げた加熱でも良い。

【0168】次にArガスを10~1000sccmの範囲の流量で流し、0.1~100Paの範囲でコンダクタンスバルブ等で調整、維持され、基板に13.56MHzのRF電力を例えば1~10W/cm²の範囲で調整、印加してプラズマ放電を起こさせ、第2のイオンエネルギーを有するイオンをA1配線膜に照射する。この処理室の到達真空度は10⁻⁴Pa以上の高真空にする。

【0169】ここで、A1配線膜表面が第2のイオンエネルギーを有するイオン照射によりほとんどエッチングされないように、第2のイオンエネルギーを第1のイオンエネルギーよりも小さく値に選ぶ。

【0170】このような第2のイオンエネルギーを有する荷電粒子の照射は、第1~第6の実施例に対しても有効である（請求項7）。この第2のイオンエネルギーを有する荷電粒子の照射により、基板加熱温度が低温であっても、A1配線膜表面のA1原子は衝突したArイオンによりその表面拡散が加速され、表面拡散したA1原

26

子は表面自由エネルギーを低下させるように接続孔内へ移動し、接続孔はA1配線膜で埋め込まれる。

【0171】最後に、先の実施例と同様に積層膜とA1配線膜をバタニングしてA1配線膜が完成する。基板平坦部に比べ、接続孔内は入射Arイオンの見込み角が減少するため、接続孔底部ほどArイオンによるA1原子拡散の増速は薄れ、かつ基板温度も低く保たれるために、接続孔底部におけるA1配線膜の凝集は起こらない。したがって、本実施例ではアスペクト比が2を超える接続孔でも低温で埋め込まれることが確認できた。

【0172】本実施例では、平行平板型（容量結合型）のプラズマ放電を用いている。この方式ではイオン密度とイオンエネルギーを個々に制御することが難しい。本発明では、イオンエネルギーを下げてA1配線膜のエッチングを抑え、かつイオン密度を高めてA1表面に数多くのイオンを照射してA1原子の表面拡散を効率的に増速させることが望ましい。

【0173】したがって、イオン密度とイオンエネルギーを個々に制御できるECRプラズマやヘリコンプラズマのようなマイクロ波励起プラズマ放電を用いることも考えられる。このようなマイクロ波励起プラズマでは、放電ガス圧を低圧化できるため、処理室のポンプ排気速度を低下させることなく放電を起こさせることが可能である。ポンプの排気速度の低下がない場合、処理室の到達真空度を高めることが可能であり、自然酸化膜によって表面拡散が抑制されることなくA1配線膜を接続孔に埋め込むことができる。

【0174】本実施例では、放電中のガスにArを用いたが、A1配線膜をエッチングさせないために質量数の小さい水素（H）等のような原子を用いても良い。特にイオン化した水素原子は還元性が高く、高真空化でさえも形成してしまう金属表面の自然酸化膜を除去するのに効果がある。この点から、ArとH₂との混合ガスによる放電を用いても効果がある。また、イオンエネルギーを低下した条件で、KrやXe等の質量数の大きい不活性ガスを用いても良い。この場合、質量数が大きいため、A1配線膜中に進入せず、表面のA1原子だけの表面拡散を効率的に増速させることができる。

【0175】なお、第1~第7の実施例において、A1配線膜の表面に形成される自然酸化膜はA1原子の表面拡散を妨げる要因となるため、A1配線膜の形成時、シリコン基板の搬送時、およびシリコン基板の加熱時の雰囲気や高真空中にすることが望ましい。

【0176】また、第1~第7の実施例において、A1配線膜の塑性流動を低温化するためにA1配線膜中に不純物を添加しても良い。また、第1~第7の実施例において、シリコン基板の加熱はセラミックヒーターや電気をを用いた行なったが、ランプ加熱や誘導加熱等の他の手段を用いても良く、その場合の到達温度はA1配線膜

の融点以下が望ましい。更にシリコン基板の加熱（A1配線膜の加熱）は、配線となる導電膜が多結晶構造の場合には、後述するようにA1配線形成後に2回以上の昇降温過程を繰り返すという本発明の加熱方法を用いることが好ましく、この方法により結晶粒径を大きくすることが可能となる。

【0177】また、第1～第7の実施例において、A1配線膜を接続孔へ埋め込みの途中もしくは埋め込みが終了した後に、埋め込みを補助する目的や膜厚を増加させる目的でA1配線膜をさらに形成しても良い。

【0178】また、第1～第7の実施例では、基板としてシリコン基板を用いた場合について説明したが、他の基板を用いても良い。また、第1～第7の実施例では、A1とSiとCuとの合金のA1配線膜の場合について説明したが、本発明は純A1の配線膜にも有効であり、更に、配線材料として、Cu、Ag、Au等の導電材料や、これら導電材料の合金あるいはこれら導電材料とA1との合金を用いても良い。

【0179】なお、本発明は上述した実施例に限定されるものではない。例えば、第1～第7の実施例では、A1配線膜を接続孔へ埋め込む場合について説明したが、接続孔に限らず絶縁膜表面に形成された凹部、例えば、埋め込み型配線を形成するための配線状溝の埋め込みについても本発明は有効である。

【0180】すなわち、埋込み型配線の場合、配線膜を形成した後、この配線膜をケミカル・メカニカル・ポリッシング法やエッチバック法等の加工法により、前記凹部に選択的に埋め込めば良い。

【0181】更に、上記接続孔や凹部としては、開孔径や溝幅が1μm以下、更には0.4μm以下のものに対して本発明を有効に適用することが可能である。更に、導電性被覆膜として、Ti膜とTiN膜との積層膜を用いたが、これに限定されず、高融点金属膜、高融点金属窒化物膜、または高融点珪化物膜、更にはこれらの積層膜、例えば、高融点金属膜と高融点金属窒化物膜との積層膜、高融点金属珪化物膜と高融点金属窒化物膜との積層膜を用いることができる。高融点金属としては、Ti以外に、W、Mo、Nb、Ta等があげられる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0182】

【発明の効果】以上詳述したように本発明によれば、アスペクト比が1を越えるような接続孔内に段切れやボイドがない配線層を形成できるので、配線の信頼性を改善できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るA1配線の形成方

法を示す工程断面図

【図2】直流マグネトロンスパッタリング装置の概略構成を示す模式図

【図3】従来法を用いた場合のA1配線膜の埋め込まれ方を示す図

【図4】第1の実施例の方法を用いた場合のA1配線膜の埋め込まれ方を示す図

【図5】第1のイオンエネルギーと第2のイオンエネルギーとの関係を示す図

10 【図6】本発明の第2の実施例に係るA1配線の形成方法を示す工程断面図

【図7】本発明の熱処理方法と従来の熱処理方法との違いを説明するための図

【図8】本発明の熱処理後の粒径分布結果と従来法のそれとを示す特性図

【図9】本発明の熱処理後の粒界構造と従来法のそれとを示す配線断面図

【図10】本発明の熱処理を施したA1配線の配線寿命分布と従来法のそれとを示す特性図

20 【図11】本発明の第4の実施例に係るA1配線の形成方法を示す工程断面図

【図12】テーパ角および成膜法の違いによるA1配線膜の形状を説明する図

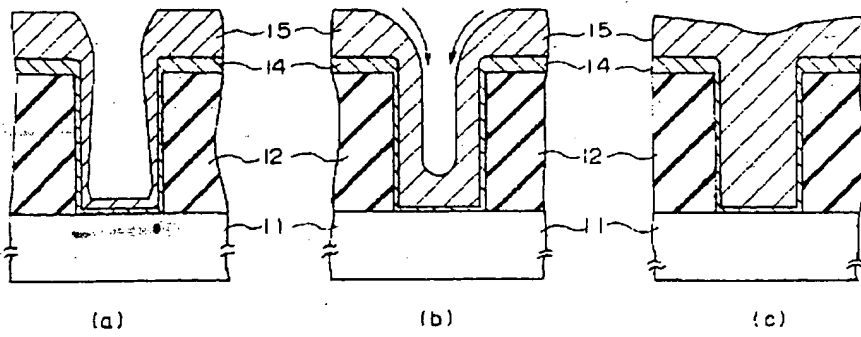
【図13】シリコン基板の温度プロファイルを示す図

【図14】基板温度とArガスを含むA1配線膜からのArの放出量との関係を示す特性図

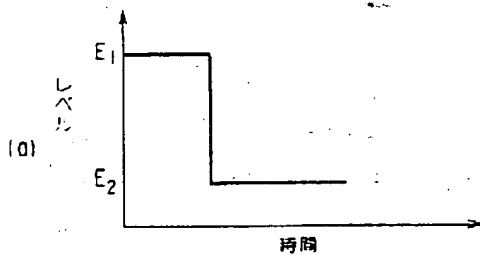
【符号の説明】

- 1…支持台
- 2…クランプ
- 3…可変直流電圧源
- 4…スパッタリングターゲット
- 5…可変直流電圧源
- 6…Ar（スパッタリングガス）
- 7…絶縁部材
- 11…シリコン基板
- 12…酸化膜
- 13…接続孔
- 14…積層膜
- 15…A1配線膜
- 40 16…ボイド
- 21…シリコン基板
- 22…絶縁膜
- 23…接続孔
- 24…積層膜
- 25…A1配線膜
- 30…バンパー粒界構造
- 31…3重点粒界

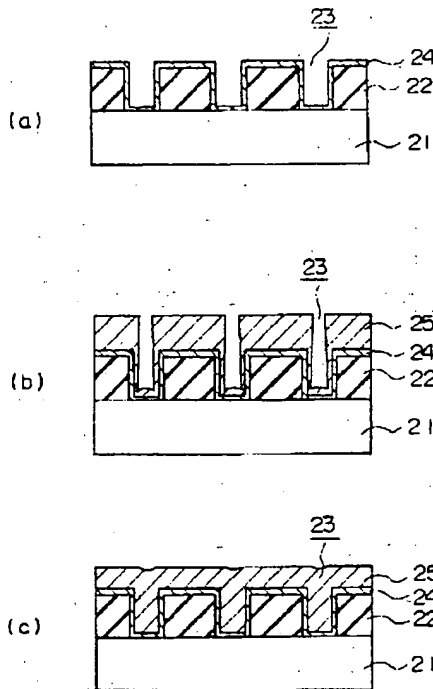
【図4】



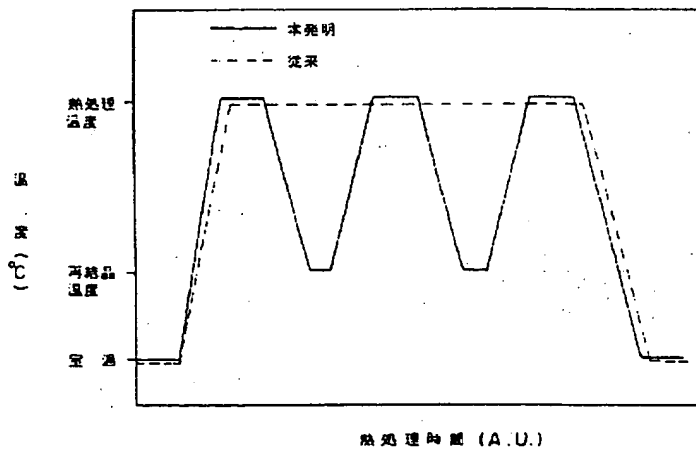
【図5】



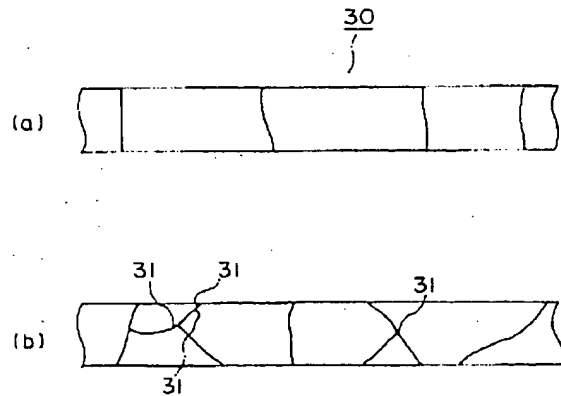
【図6】



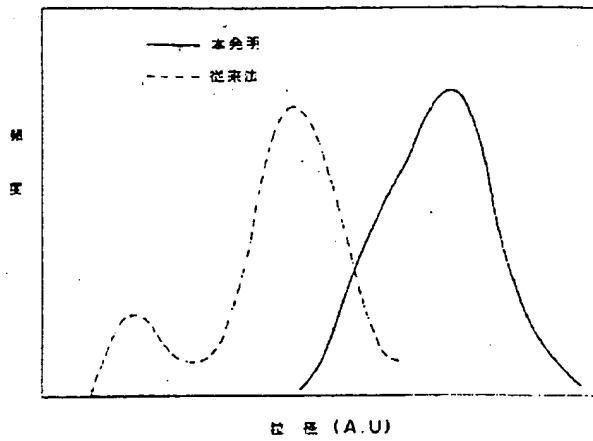
【図7】



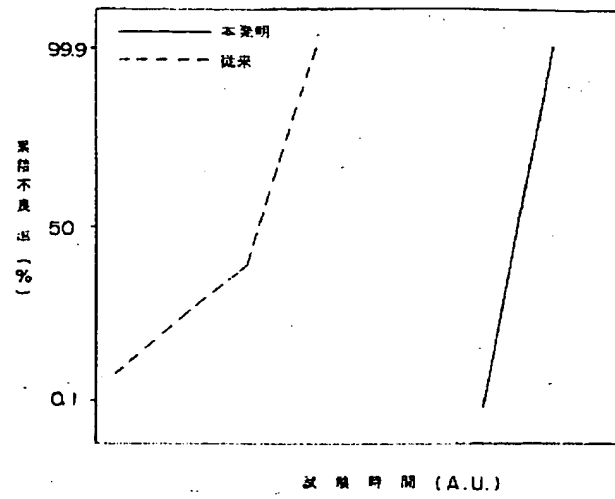
【図9】



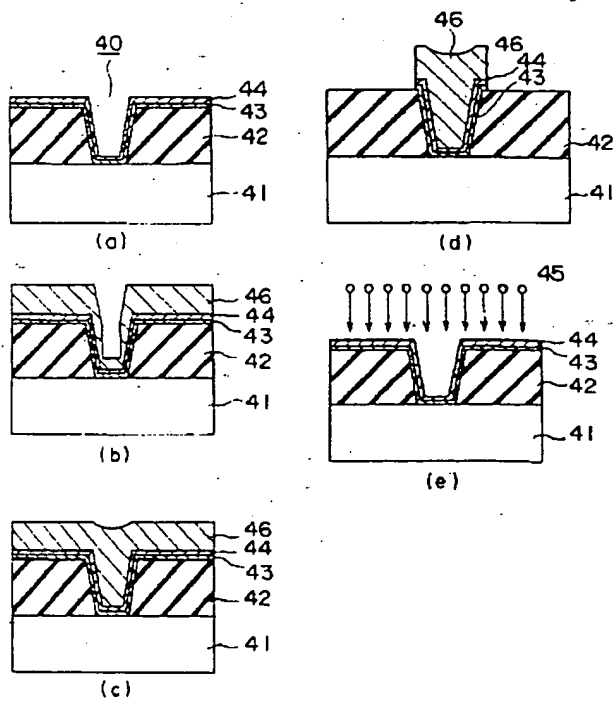
【図8】



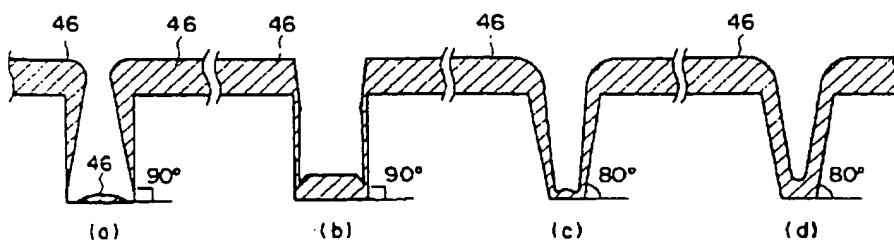
【図10】



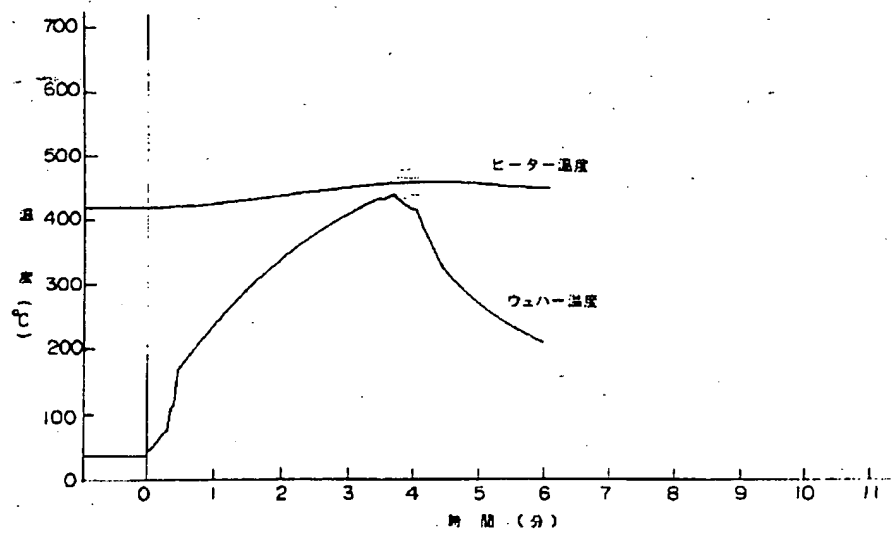
【図11】



【図12】



【図13】



【図14】

